

CLIPPEDIMAGE= JP409330993A

PAT-NO: JP409330993A

DOCUMENT-IDENTIFIER: JP 09330993 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 22, 1997

INVENTOR-INFORMATION:

NAME

MURAKAMI, MASAHIKE

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP08171852

APPL-DATE: June 11, 1996

INT-CL (IPC): H01L023/12;H01L021/66

ABSTRACT:

PROBLEM TO BE SOLVED: To easily test a semiconductor device having a BGA(ball grid array) on which a plurality of semiconductor chips are mounted.

SOLUTION: In a BGA structure, solder bump forming lands 3 are separately formed and a wiring which connects between semiconductor chips is divided and separately connected to the solder bump forming lands 3a and 3b. Then, after the semiconductor chips 1 are mounted on a substrate 2 and connected to the substrate 2 through metallic wires 5, the chips 1 are sealed with an epoxy resin 6 and tests are conducted by using the solder bump forming lands 3a and 3b and other solder bump forming lands 3. After testing, solder bumps are formed of solder balls, etc. When the solder bumps are formed, the solder bump forming lands 3a and 3b are electrically connected and a semiconductor device is formed.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-330993

(43)公開日 平成9年(1997)12月22日

(51)Int.Cl.⁸
H 01 L 23/12
21/66

識別記号 庁内整理番号

F I
H 01 L 23/12
21/66

技術表示箇所
L
E

審査請求 有 請求項の数2 FD (全4頁)

(21)出願番号 特願平8-171852

(22)出願日 平成8年(1996)6月11日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 村上 正秀

東京都港区芝五丁目7番1号 日本電気株
式会社内

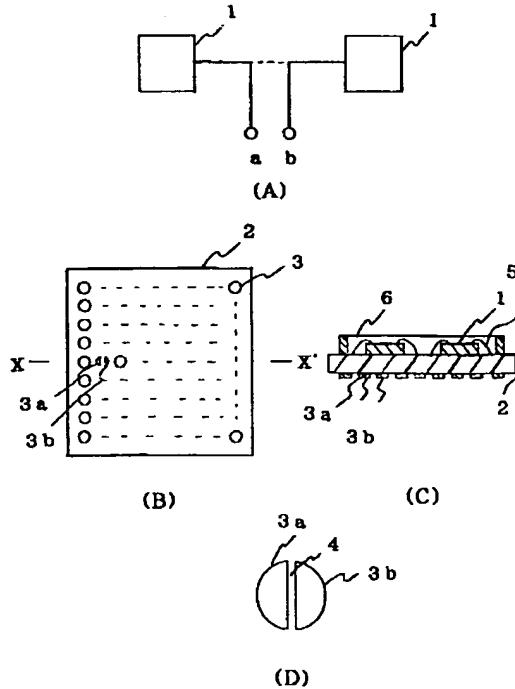
(74)代理人 弁理士 煉孫 耕郎

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 半導体チップが複数個搭載されて形成されるBGA構造の半導体装置においてテスティングを容易にすることにある。

【解決手段】 BGA構造において、半田バンプ形成ランド3を分割して形成し、半導体チップ1間で結線される配線を分離して別々に前記の分割された半田バンプ形成ランド3a、3bに接続する。次に、基板2上に半導体チップ1を搭載して、金属ワイヤ5で前記基板2と半導体チップ1を接続し、エポキシ樹脂6を充填し、前記の分割された半田バンプ形成ランド3a、3b及び他の半田バンプ形成ランド3を使用してテスティングを実施する。次に、半田ボール等により半田バンプを形成する。この時、半田バンプにより前記の分割された半田バンプ形成ランド3a、3bが電気的に接続されて、半導体装置が形成される。



1

【特許請求の範囲】

【請求項1】 半導体チップが複数個搭載されて形成されるポールグリッドアレイ構造の半導体装置において、半導体チップ間で結線される配線を分離して別々に半田パンプ形成ランドの分割されたランドに接続されて形成された基板と、前記基板上に前記半導体チップが搭載され、基板上のパターンと半導体チップ間を接続する金属ワイヤと前記半導体チップを覆うエポキシ樹脂を有し、前記分割された半田パンプ形成ランドをテスティングに使用し前記分割ランドを半田パンプで接続したことを特徴とする半導体装置。

【請求項2】 複数個搭載される半導体チップが、n個の半導体チップ間が結線される場合、半田パンプ形成ランドはn等分した形状であることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【発明の属する技術分野】

【0001】

【産業上の利用分野】 本発明は、半導体装置に関し、特に半導体チップが複数個搭載されて形成される半導体装置に関する。

【0002】

【従来の技術】 従来、この種の半導体チップが複数個搭載されて形成される半導体装置は、テスティングを容易にする為に、たとえば、特開昭61-23332号公報には、フリップチップ型半導体装置において、半導体チップを搭載する配線用基板にプローブテスト用配線を配設し、パンプ電極を半田蒸着により短絡、その後ウェットバックすることによりオーブンすることで、前記配線用基板のテスティングを容易にできる技術について記載されている。

【0003】 また、特開昭58-128754号公報には、能動素子チップ搭載基板と受動素子搭載基板が組み合わされて形成される混成集積回路において、能動素子チップ搭載基板には、能動素子チップよりそれぞれ外部取り出し電極が独立して引き出されており、受動素子基板には、前記能動素子チップ搭載基板の外部取り出し電極間を接続するための接続金属層があり、半田で接続することにより、電気的に接続され回路が構成される。能動素子チップ搭載基板には、各能動素子チップより独立して外部取り出し電極がでているため、各能動素子チップを単独で検査でき、良否判定が容易にできる。

【0004】

【発明が解決しようとする課題】 従来の技術である特開昭61-23332では、テスティングを容易にするために、プローブテスト用の配線を引き出す必要があるという問題がある。その理由はテスティングのために、半田パンプ電極間をショートさせるのに配線を使用しているためである。また、従来の技術である特開昭58-128754では、半導体チップ間を結線するのに、別の

10

20

30

40

2

基板が必要になるという問題がある。その理由は個々の半導体チップより独立して外部取り出し電極がでているためである。本発明の目的は、複数個の半導体チップが搭載される半導体装置において、テスティングを容易にする技術を提供することにある。

【0005】

【課題を解決するための手段】 本発明は、半導体チップが複数個搭載されて形成されるポールグリッドアレイ構造の半導体装置において、半導体チップ間で結線される配線を分離して別々に半田パンプ形成ランドの分割されたランドに接続されて形成された基板と、前記基板上に前記半導体チップが搭載され、基板上のパターンと半導体チップ間を接続する金属ワイヤと前記半導体チップを覆うエポキシ樹脂を有し、前記分割された半田パンプ形成ランドをテスティングに使用し、前記分割ランドを半田パンプで接続することを特徴とする半導体装置である。また、本発明は、上記の半導体装置の複数個搭載される半導体チップが、n個の半導体チップ間が結線される場合、半田パンプ形成ランドはn等分した形状であることを特徴とするものである。

【0006】

【作用】 本発明においては、半導体パンプが形成されるランドを分割して形成し、半導体チップ間で結線される配線を分離して、別々に前記分割ランドに引き出すことにより、半導体チップを単独でテスティングすることができる。また、半田ボール等により前記分割ランドに半田パンプを形成することで電気的に接続することができることにより、ユーザー不要な半田パンプを少なくすることができ、また、ユーザーでの配線が不要となるものである。

【0007】

【発明の実施の形態】 本発明の半導体装置は、BGM(ポールグリッドアレイ)構造において、半田パンプが形成されるランドを分割して形成し、半導体チップ間で結線される配線を分離して、別々に前記分割ランドに引き出すものであり、その後、半導体チップを搭載し、前記分割ランドを使用してテスティングを行い、半田ボール等で半田パンプを形成する。その時半田パンプにより前記分割ランドが電気的に接続されるものであり、その実施の形態について図面を参照して詳細に説明する。

【0008】

【実施例1】 本発明の第1の実施例を図1、図2で説明する。図1(A)は、本発明の第1の実施例を示すプロック図の一部分である。図1(B)は、本発明の第1の実施例の裏面からの平面図、(C)は、(B)をX-X'線で切断したときの断面図、(D)は、(B)の分割ランドの拡大図である。また、図2(A)、(B)は、本発明の第1の実施例の半田パンプ形成を示す断面図である。

【0009】 まず図1について、図1(A)に示すよう

50

3

に、回路上、半導体チップ1間で結線される配線a、bを図1 (B) に示す基板(セラミック基板又はガラスエポキシ基板)2上で結線しないで、別々に基板2の半田バンプ形成ランド3a、3bに引き出す。半田バンプ形成ランド3a、3bの形状は、分割ランドの拡大図を示す図1 (D) のように、同一サイズの半円であり、サイズは分割されていない半田バンプ形成ランド3と同一サイズである。半田バンプ形成ランド3a、3bの間のスリット4のサイズは、0.1~0.15mmの範囲である。

【0010】また、図1 (C) の断面図に示すように、半導体チップ1を基板2上に搭載し、金属ワイヤ5で前記半導体チップ1と基板2の配線パターン間を電気的に接続して、エポキシ樹脂6で充填する。その後、図1 (B) に示す半田バンプ形成ランド3a、3b及び他の分割されていない半田バンプ形成ランド3にテスティング用のプローバを立てて、半導体チップ1のテスティングを実施する。

【0011】次に、本発明の半導体装置の製造工程について、図1、図2を参照して説明する。上述した図1 (B) に示す半田バンプ形成ランド3a、3bにテスティング用のプローバを立てて、半導体チップ1のテスティングを実施した後、図2 (A) に示すように、半田ボール7を前記半田バンプ形成ランド3a、3b上に搭載して、リフロー装置に通すことで半田ボール7を溶融させて、図2 (B) に示す半田バンプ8を形成する。この時、半田バンプ形成ランド3a、3bが半田バンプ8により、電気的に接続され、半導体装置が形成される。また、前記半田ボール7の替わりに半田ペーストを使用しても同じ効果が得られる。

【0012】

【実施例2】本発明の第2の実施例を図3で説明する。図3 (A) は、本発明の第2の実施例を示すブロック図の一部分であり、(B) は分割ランドの拡大図である。上述した第1の実施例を示した図1では、2個の半導体チップ間で結線される配線について説明したが、図3で

10

4

は、3個の半導体チップ1間が結線される場合について説明する。3個の半導体チップ間で結線される配線a、b、cを半田バンプ形成ランド3a、3b、3cに引き出す。半田バンプ形成ランド3a、3b、3cの形状は、分割されていない半田バンプ形成ランド3を3等分した形状である。また、4個の半導体チップ1間が結線される場合は、半田バンプ形成ランド3は4等分した形状であり、n個の半導体チップ1間が結線される場合は、n等分した形状である。

20 【0013】

【発明の効果】本発明によれば、複数個の半導体チップが搭載されて形成される半導体装置のテスティングが容易にできるという効果を有する。これは半導体チップ間で結線される配線を分離して、別々に半田バンプの分割ランドに引き出していることより、各半導体チップが独立しており、単独でテスティングができるためである。また、半導体装置のテスティングを容易にするために、ユーザーに不要な半田バンプを少なくできることと、ユーザー側で半導体チップ間を接続するための配線をする必要がなくなるという効果を有する。これは半田ボール等により半田バンプを形成することにより、分割ランドを電気的に接続することができるためである。

【図面の簡単な説明】

【図1】 本発明の第1の実施を示す図

【図2】 本発明の第1の実施を示す図

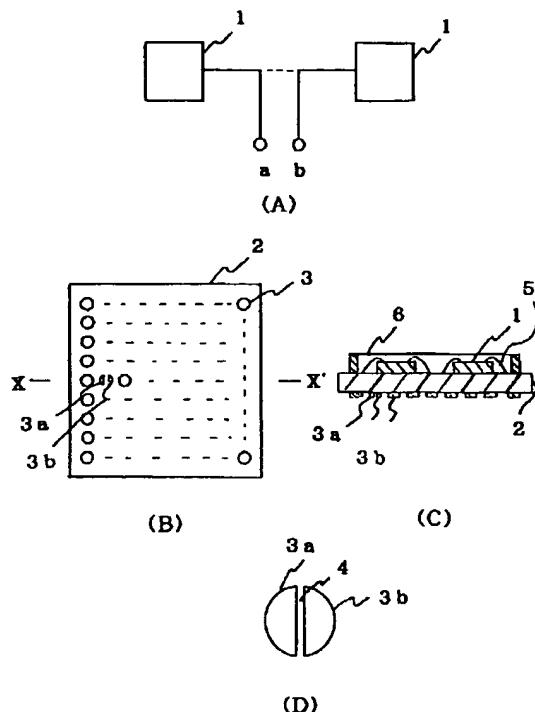
【図3】 本発明の第1の実施を示す図

【符号の説明】

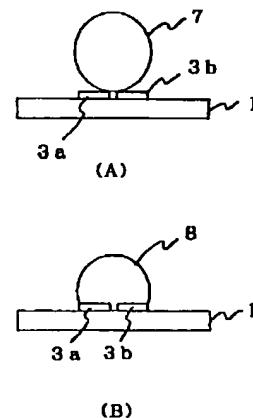
- 1 半導体チップ
- 2 基板
- 3 半田バンプ形成ランド
- 4 スリット
- 5 金属ワイヤ
- 6 エポキシ樹脂
- 7 半田ボール
- 8 半田バンプ

30

【図1】



【図2】



【図3】

